

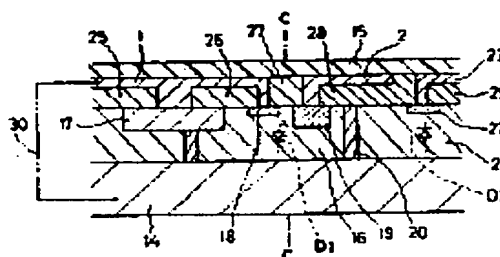
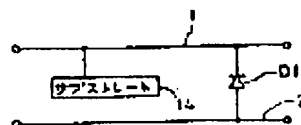
STRUCTURE FOR ELECTROSTATIC MEASURE OF INTEGRATED CIRCUIT

Patent number: JP1239877
 Publication date: 1989-09-25
 Inventor: MORIMOTO TAKASHI
 Applicant: SHARP KK
 Classification:
 - international: H01L21/822; H01L27/04; H01L21/70; H01L27/04; (IPC1-7): H01L27/04
 - european:
 Application number: JP19880066689 19880318
 Priority number(s): JP19880066689 19880318

Report a data error here

Abstract of JP1239877

PURPOSE: To reduce mutual interaction between separated GND lines and the number of elements used for separation by providing a diode whose one electrode is connected to a first GND line and the other is connected to a second GND line, and connecting the substrate with the first GND line. **CONSTITUTION:** As a structure for an electrostatic measure of an integrated circuit which has first and second GND lines 1 and 2, a first conduction type substrate 14 and a first diode D1, whose one electrode is connected to the first GND line 1 and the other is connected to the second GND line 2, are provided, and the substrate 14 and the first GND line 1 are connected electrically. For example, the first diode D1 is connected between the GND lines 1 and 2, and static electricity can be bypassed from the second GND line 2 to the first GND line side, and the second diode D2 is made by the connection between the p-type substrate 14 and the GND line 1 so as to enable static electricity to be bypassed from the first GND line side 1 to the second GND line 2 side.



Data supplied from the esp@cenet database - Worldwide

⑬ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-239877

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月25日

H 01 L 27/04

H-7514-5F
D-7514-5F

審査請求 未請求 請求項の数 1 (全4頁)

④ 発明の名称 集積回路の静電対策構造

⑥ 特 願 昭63-66689

⑦ 出 願 昭63(1988)3月18日

⑦ 発 明 者 森 本 隆 志 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑦ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
⑦ 代 理 人 弁理士 山本 秀策

明 細 書

1. 発明の名称

集積回路の静電対策構造

2. 特許請求の範囲

1. 第1及び第2のGNDラインを有する集積回路の静電対策構造であって、第1導電型のサブストレート、及び一方の極が該第1のGNDラインに接続され、他方の極が該第2のGNDラインに接続されている第1のダイオードを備え、該サブストレートと該第1のGNDラインとが電気的に接続されている集積回路の静電対策構造。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、集積回路の静電対策構造の改良に関する。

(従来の技術)

集積回路装置においては、集積度が高くなるに伴って、アナログ系回路とデジタル系回路の混在した回路装置が多用されてきている。このような集積回路装置においては、各回路部分のGNDラ

インを分離することにより、近接するGNDライン間のクロストークを低減するように設計されることが多い。

さらに、分離されたGNDライン間における静電対策装置として、従来より、第5図に回路図で示すように、2個のダイオード3、4を第1、第2のGNDライン1、2間に接続した構造や、ダイオードに代えてファントムトランジスタを2個接続した構造が提案されている。第5図の構造では、2個のダイオード3、4を用いることにより、第1のGNDライン1と第2のGNDライン2との間において両方向の静電気を、ダイオード3または4のどちらかの順方向電圧によりバイパスするものである。

(発明が解決しようとする課題)

上記のように、2個のダイオード3、4を用いているため、両GNDライン1、2間の寄生容量は、当然のことながら1個のダイオードを用いた場合に比べて大きくなる。本来、第1、第2のGNDライン1、2を分離するのは、両GNDライ

ン間の相互影響を低減するためである。従って、上記のように寄生容量が大きくなるということは、相互影響の低減化に逆行することになり、その改善が求められていた。

また、2個のダイオードあるいはファントムトランジスタを用いるものであるため、素子数が多くなり、集積密度を高める妨げともなっていた。

よって、本発明の目的は、分離されたGNDライン間における相互影響を低減することができ、かつそのための使用素子数を効果的に節減し得る集積回路の静電対策構造を提供することにある。
(課題を解決するための手段)

本発明は、第1及び第2のGNDラインを有する集積回路の静電対策構造であって、第1導電型のサブストレート、及び一方の極が該第1のGNDラインに接続され、他方の極が該第2のGNDラインに接続されている第1のダイオードを備え、該サブストレートと該第1のGNDラインとが電気的に接続されてなり、そのことにより上記目的が達成される。

あり、第2図はこの実施例の具体的な構造を示す断面図である。

第1図に示されているように、本実施例では、第1、第2のGNDライン1、2間に、カソードが第1のGNDライン1に、アノードが第2のGNDライン2に接続された第1のダイオードD1が電気的に接続されている。従って、第2のGNDライン2から第1のGNDライン1側へ静電気をバイパスし得ることがわかる。

他方、本実施例の集積回路は、p型のサブストレート14を用いており、第1のGNDライン1は仮想接続ライン30で示すようにp型のサブストレート14に電気的に接続されている。そして、サブストレート14とGNDライン1とが接続されていることにより、以下に詳細に説明するように、自然に第2のダイオードが構成され、第1のGNDライン1側から第2のGNDライン2側へ静電気をバイパスし得るように構成されている。

集積回路の表面側は、後述する内部の回路部分を保護するために、保護膜15により被われてい

(作用)

本発明は、分離された第1、第2のGNDライン間において両方向に静電気を2個のダイオードを用いてバイパスさせる点において、第5図の従来例と共通するものである。しかしながら、本発明では、1個のダイオードについては特別にダイオード領域を形成しておらず、第1のGNDラインを例えばp型のサブストレートと電気的に接続することにより、該p型のサブストレートと第2のGNDラインに接続された回路部分のn型領域とにより自然に形成されるダイオード領域を用いている。よって、実質的に、第2のGNDラインにアノードが、第1のGNDラインにカソードが接続された1個の第1のダイオードを構成するだけで、第5図従来例と同様の静電対策効果をあげることができるとともに、第1のダイオードのみを特別に形成するものであるため、両GNDライン間の寄生容量も飛躍的に小さくされている。

(実施例)

第1図は、本発明の一実施例の略図的回路図で

る。この保護膜15の内側に互いに分離された第1および第2のGNDライン1、2が形成されている。第1、第2のGNDライン1、2はそれぞれ、異なる回路装置のGNDラインを構成している。

第1のGNDライン1は、サブストレート14に拡散形成されたn型領域16にさらに拡散形成されたベース拡散領域17およびエミッタ領域18に電気的に接続されている。

他方、第2のGNDライン2は、n型領域16中に形成されたp型のベース拡散領域19に電気的に接続されている。また、第2のGNDライン2側の回路では、分離領域20を隔ててn型の領域に拡散形成されたエミッタ領域22にホット側のライン23が電気的に接続されている。なお、参照符号25～29はSiO₂層を示している。

第2図において、n型領域16と、p型のベース拡散領域19とにより第1図に示す第1のダイオードD1が構成されている。すなわち、このp型のベース拡散領域19は、第1図の第1のダイ

ォードD1を形成するために特別に形成されたものである。

他方、前述のように、第1のGNDライン1は、サブストレート14と電気的に接続されている。そして、このp型のサブストレート14と、第2のGNDライン2側の回路部分内のn型領域21とにより、第2のダイオードD2が自然に構成されている。このn型の領域21は、第2のGNDライン2側の回路部分中の抵抗の島あるいはNPNトランジスタのコレクタ領域等により構成することができる。

上記したサブストレート14を利用した第2のダイオードD2につき、第3図および第4図を参照してより具体的に説明する。

第3図において、回路装置AおよびBは、それぞれ、GNDライン1、2を有する回路部分であり、第2図の一点鎖線Cを境界としてその左右に構成されているものに相当する。そして、第1のGNDライン1と第2のGNDライン2との間には、第1のダイオードD1が、上記したベース拡

D2が自然に形成されることになる。

なお、上記回路装置Bにおける抵抗 $R_1 \sim R_4$ 、およびトランジスタ Q_1 はあくまでも例示的なものであり、これらに限らず、第2のGNDライン2側の回路装置Bに形成されたn型領域のいずれをも第2のダイオードD2を構成するために利用することができる。

他方、第1のダイオードD1については、例えば第4図に平面図で示すように、 $60\mu\text{m} \times 80\mu\text{m}$ の大きさの領域に形成することができる。なお、第4図の符号51、52は、それぞれ、第1および第2のGNDライン1、2に接続される金属部分を示す。

上記実施例では、以上のようにして2個のダイオードが形成されているが、静電耐圧は同一電源系内の各端子の静電耐圧と異なる電源系間の各端子間の静電耐圧の和であるため、同一電源系間の静電耐圧を充分高くすれば、2個のダイオードの効果により、異なる電源系間の静電耐圧も高くすることができる。

敗領域19およびn型領域16により構成されて、両GNDライン間に、カソードが第1のGNDライン1に、アノードが第2のGNDライン2に接続されるように挿入されている。

他方、第2のGNDライン2側の回路装置Bにおいて例示的に示した回路では、NPNトランジスタ Q_1 、および抵抗 R_1 、 R_2 、 R_3 が接続されている。抵抗 R_1 および R_2 のようにホット側ライン23とGNDライン2との間に直列に接続された抵抗並びにホット側のライン23に直接接続されない抵抗 R_3 の各抵抗の島は、 V_{cc} 電圧により逆バイアスされている。

また、トランジスタ Q_1 のように、NPNトランジスタのコレクタがホット側のラインに接続されたトランジスタが存在する。

上記のような回路装置Bが第2のGNDライン2側に構成されている場合、第1のGNDライン1がp型のサブストレート14に電気的に接続されているので、この各抵抗の島あるいはトランジスタ Q_1 のコレクタをNとする第2のダイオード

(発明の効果)

以上のように、本発明によれば、第1のGNDラインを第1導電型のサブストレートに電気的に接続することにより、特別にダイオードを構成することなく、自然にサブストレートと第2のGNDライン側のホット側とにより第2のダイオードを構成することができる。従って、第1のGNDラインと、第2のGNDラインとの間に1個の第1のダイオードを形成するだけで、寄生容量を増大させることなく両GNDライン間の相互影響を効果的に低減することが可能な集積回路の静電対策構造が提供される。しかも、1個のダイオードを特別に構成するだけでよいから、従来の2個のダイオードを構成したものに比べて素子数を半分にすることができるので、集積密度を高めることも可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例を説明するための略図的回路図、第2図は第1図実施例を説明するための断面図、第3図は第2図の構造をより具体化

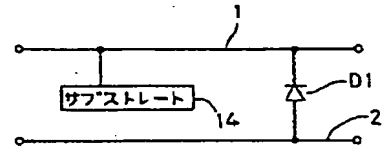
した回路図、第4図は第1のダイオードを説明するための略図的平面図、第5図は従来例の静電対策構造を説明するための回路図である。

1…第1のGNDライン、2…第2のGNDライン、14…p型サブストレート、D1…第1のダイオード、D2…第2のダイオード。

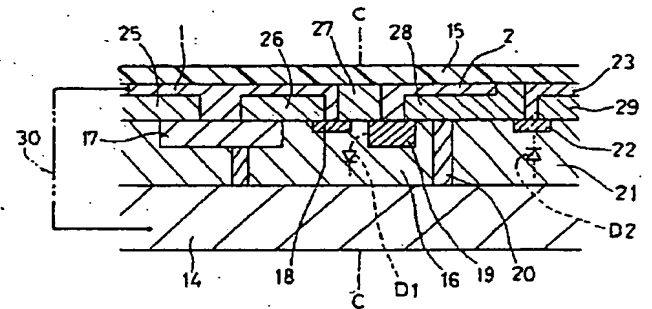
以上

出願人 シャープ株式会社
代理人 弁理士 山本秀策

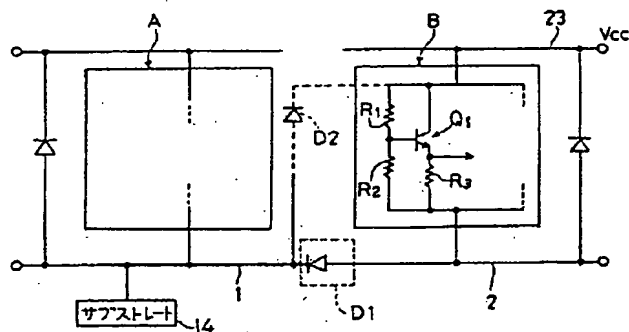
第1図



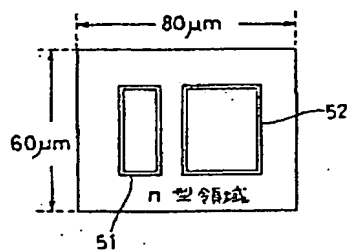
第2図



第3図



第4図



第5図

